

METHOD FOR FORMING ALIGNMENT MARK

Patent Number: JP11031645

Publication date: 1999-02-02

Inventor(s): SHIMADA SATOSHI

Applicant(s): SANYO ELECTRIC CO LTD

Requested Patent: JP11031645

Application Number: JP19970185340 19970710

Priority Number(s):

IPC Classification: H01L21/027 ; G03F9/00 ; H01L21/3213

EC Classification:

Equivalents:

Abstract

PROBLEM TO BE SOLVED: To surely recognize an alignment mark, even when a wiring layer is formed on the alignment mark by making a recessed part on the inner peripheral surface of an opening formed in the surface of a semiconductor substrate.

SOLUTION: An organic SOG film, for example as a lower layer insulation film 3 and a SiO₂ film, for example, as an upper layer insulation film 4 are formed (a) on a SiO₂ insulation film 23 formed in advance on a substrate 1. Next, (b) an alignment mark is made on the insulation films 2, 3, 4 by etching. Since the lower layer insulation film 3 is etched earlier than the upper layer insulation film 4, the pattern edge 4a of the upper layer insulation film 4 makes eaves for the lower layer insulation film 3 to form a recessed part U. For the alignment mark formed in this manner, a barrier metal layer 5 is formed (c) on the upper layer insulation film 4 and on the inner surface except for the recessed part U. When a wiring layer 6 is formed on the barrier metal layer 5, the flow of wiring material is stopped at the recessed part U (d), and hence the pattern edge 4a can be better recognized, which improves the accuracy and the reproducibility of overlaying.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-31645

(43) 公開日 平成11年(1999)2月2日

(51) Int.Cl.*

H 01 L 21/027

G 03 F 9/00

H 01 L 21/3213

識別記号

F I

H 01 L 21/30

502 M

G 03 F 9/00

H

H 01 L 21/88

D

審査請求 未請求 請求項の数 7 O L (全 5 頁)

(21) 出願番号

特願平9-185340

(22) 出願日

平成9年(1997)7月10日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 鶴田 聰

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

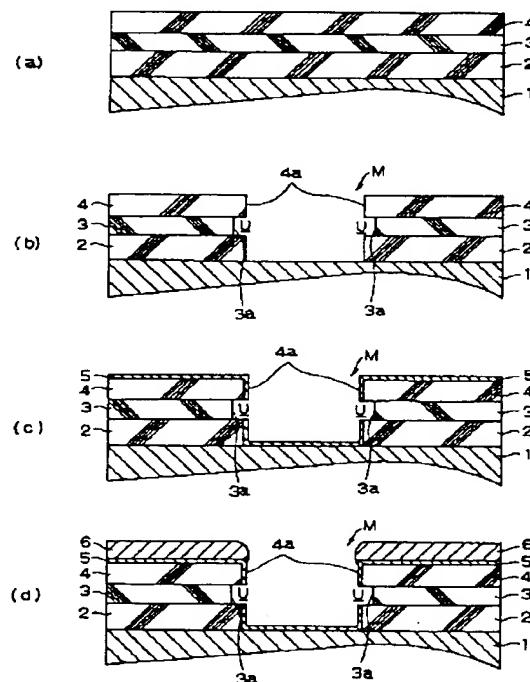
(74) 代理人 弁理士 安富 耕二 (外1名)

(54) 【発明の名称】 位置合わせマーク形成方法

(57) 【要約】

【課題】 マスク重ね合わせ時の基準となる位置合わせマークを形成する従来の位置合わせマーク形成方法では、配線層を形成する際に、開口部に配線材料が流れ込んで、位置合わせマークが不明確なものとなってしまうという問題があった。

【解決手段】 本発明は、絶縁膜2上に下層絶縁膜3及び上層絶縁膜4を積層し、上層絶縁膜4のパターン縁部4a下に凹部Uを形成することにより、配線材料の流れ込みを凹部Uで止めて、明確な位置合わせマークを簡便に形成することを図ったものである。



【特許請求の範囲】

【請求項1】 半導体基板の表面に形成した開口部の内周面に凹部を設ける位置合わせマーク形成方法。

【請求項2】 マスクを重ね合わせる際の基準となる位置合わせマーク形成方法において、半導体基板の表面に開口部を形成すると共にこの開口部の側面における少なくとも上方部を除く箇所に凹部を形成する位置合わせマーク形成方法。

【請求項3】 マスクを重ね合わせる際の基準となる位置合わせマーク形成方法において、半導体基板の表面に積層された下層膜及び上層膜を含む膜に対する位置合わせマークのバーニングと同時に又はその後、形成された上記上層膜におけるパターン縁部よりも下層膜の縁部が後退した凹部を形成する位置合わせマーク形成方法。

【請求項4】 マスクを重ね合わせる際の基準となる位置合わせマーク形成方法において、半導体基板の表面に下層膜及び上層膜を積層する積層工程と、上記下層膜及び上層膜を含む膜に対する位置合わせマークのバーニングと同時に又はその後、形成された上記上層膜におけるパターン縁部よりも下層膜の縁部が後退した凹部を形成する凹部形成工程とを具備する位置合わせマーク形成方法。

【請求項5】 上記積層工程により積層される上記下層膜及び上層膜が、エッティングレートの異なる絶縁膜であり、上記凹部形成工程における凹部の形成がエッティングにより行われてなる請求項4記載の位置合わせマーク形成方法。

【請求項6】 マスクを重ね合わせる際の基準となる位置合わせマーク形成方法において、半導体基板の表面に形成された絶縁膜上に、エッティングレートの異なる下層膜及び上層膜を積層する工程と、上記絶縁膜、下層膜、及び上層膜を含む膜に対して位置合わせマークのエッティングを行い、上記絶縁膜及び上層膜におけるパターン縁部よりも下層膜の縁部が後退した凹部を形成する工程とを具備する位置合わせマーク形成方法。

【請求項7】 上記下層膜及び上層膜の少なくとも一方が、それ自体多層に形成されてなる請求項3～6のいずれかに記載の位置合わせマーク形成方法。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、位置合わせマーク形成方法に係り、詳しくは、各種マスクを重ね合わせるために、半導体基板表面に設けられる位置合わせマークの形成方法に関するものである。

【0002】

【従来の技術】 例えば大規模集積回路等の製造工程では、多数のマスクを重ね合わせることによって複雑な回路パターンが形成される。従って、加工精度が微小になればなるほど、重ね合わせるマスクとの相対的な位置ずれが製品の歩留りに影響することになる。この相対的な

位置合わせを行うため、通常基板上にはマスク重ね合わせ時の基準となる位置合わせマークが設けられる。オペレータは、CCD等の撮像手段により上記位置合わせマークを読み、マスクとのアライメントを行うことが可能である。

【0003】 上記位置合わせマークの形状には、いわゆるボックスインボックスと呼ばれる図2に示すようなものが例えれば用いられる。ここに、図4は上記位置合わせマークの形成方法を説明するための図である。上記位置合わせマークを作製する場合、まずCVD法等により基板上41にSiO₂等の絶縁膜42が形成される(図4(a)の状態)。

【0004】 次に、上記絶縁膜42の所定箇所に図2に示した位置合わせマークMがエッティングにより形成される。即ち、上記位置合わせマークMに応じた例えは幅20μm、深さ0.5～1.0μm程度の開口部43が上記絶縁膜42に形成される(図4(b)の状態)。

【0005】

【発明が解決しようとする課題】 上記のように形成された位置合わせマークM上には、さらにTiN等のバリアメタル層44がスパッタリング等により形成される(図4(c)の状態)。また、配線工程における高温フロースパッタやAlリフロー等により、このバリアメタル層44上で配線材料が溶融され、上記バリアメタル層44上に配線層45が形成される(図4(d)の状態)。

【0006】 尚、このバリアメタル層44は、AlとSiとが反応して、配線としての特性を劣化させることを防止すると共に、Alの広がりを促進する働きをする。しかし、従来例においては、フロー時のAlの広がりを促進するバリアメタル層44が開口部43の側面部43aにも形成されているため、図4(d)に示したように、配線層45を形成する際に配線材料がマークM内へ流れ込んでしまう。

【0007】 配線材料がマークM内へ流れ込むことによって、例えば図5に示すようにパターン線に凹凸が現れてしまう。このような凹凸が現れると、CCD等を介した位置合わせマークの視認性は著しく低下するので、マーク位置を正確に決定することが困難となり、その結果マークの重ね合わせ精度が低下する。もちろん、配線層45を形成した後、位置合わせマークMについてエッティング等を更に行い、位置合わせマークMを明確なものとすることも可能であるが、そのために余計なコストと手間を費やすことになるため好ましい方法とは言えない。

【0008】 本発明は、このような従来の技術における課題を解決するために、位置合わせマーク形成方法を改良し、位置合わせマーク上に配線層を形成する場合でもマークの確実な視認性を確保することのできる位置合わせマーク形成方法を提供することを目的とするものである。

【0009】

【課題を解決するための手段】上記目的を達成するために請求項1記載の発明は、半導体基板の表面に形成した開口部の内周面に凹部を設ける位置合わせマーク形成方法として構成されている。また、請求項2記載の発明は、マスクを重ね合わせる際の基準となる位置合わせマーク形成方法において、半導体基板の表面に開口部を形成すると共にこの開口部の側面における少なくとも上方部を除く箇所に凹部を形成する位置合わせマーク形成方法として構成されている。

【0010】また、請求項3記載の発明は、マスクを重ね合わせる際の基準となる位置合わせマーク形成方法において、半導体基板の表面に積層された下層膜及び上層膜を含む膜に対する位置合わせマークのバーニングと同時に又はその後、形成された上記上層膜におけるパターン縁部よりも下層膜の縁部が後退した凹部を形成する位置合わせマーク形成方法として構成されている。

【0011】また、請求項4記載の発明は、マスクを重ね合わせる際の基準となる位置合わせマーク形成方法において、半導体基板の表面に下層膜及び上層膜を積層する積層工程と、上記下層膜及び上層膜を含む膜に対する位置合わせマークのバーニングと同時に又はその後、形成された上記上層膜におけるパターン縁部よりも下層膜の縁部が後退した凹部を形成する凹部形成工程とを具備する位置合わせマーク形成方法として構成されている。

【0012】さらに、請求項5記載の発明は、上記請求項4記載の発明において、特に上記積層工程により積層される上記下層膜及び上層膜が、エッティングレートの異なる絶縁膜であり、上記凹部形成工程における凹部の形成がエッティングにより行われてなる位置合わせマーク形成方法である。また、請求項6記載の発明は、マスクを重ね合わせる際の基準となる位置合わせマーク形成方法において、半導体基板の表面に形成された絶縁膜上に、エッティングレートの異なる下層膜及び上層膜を積層する工程と、上記絶縁膜、下層膜、及び上層膜を含む膜に対して位置合わせマークのエッティングを行い、上記絶縁膜及び上層膜におけるパターン縁部よりも下層膜の縁部が後退した凹部を形成する工程とを具備する位置合わせマーク形成方法として構成されている。

【0013】さらに、請求項7記載の発明は、上記請求項3～7のいずれか1項に記載の発明において、特に上記下層膜及び上層膜の少なくとも一方が、それ自体多層に形成されてなる位置合わせマーク形成方法である。上記請求項1～7のいずれか1項に記載の発明によれば、例えばA1やA1-Si等の配線形成時に配線材料が開口部や位置合わせマーク内に流れ込もうとしても、上記開口部や位置合わせマークの内周面に設けられた凹部によって、その流れ込みが止められるため、従来の如く縁部から開口部やマーク内へ配線材料が流れ込んで縁部のパターン線を不明確にすることがない。

【0014】尚、エッティングレートの異なる下層膜及び上層膜を用いることにより、上記凹部は簡単に形成される。また、開口部や位置合わせマークは、半導体基板自身、基板上の絶縁膜、導電膜、半導体膜等、要はマスクを重ね合わせる対象となる半導体基板の表面に形成される。

【0015】

【発明の実施の形態】以下、添付図面を参照して、本発明の実施の形態につき説明し、本発明の理解に供する。尚、以下の実施の形態は、本発明の具体的な一例であつて、本発明の技術的範囲を限定する性格のものではない。ここに、図1は本発明の一実施の形態に係る位置合わせマーク形成方法の工程を説明するための図である。

【0016】図1に示すように、本発明の一実施の形態に係る位置合わせマーク形成方法は、半導体基板の表面にリフロー処理により導電層を形成する前に、リソグラフィ工程においてマスクを重ね合わせる際の基準となる位置合わせマーク形成方法であつて、半導体基板1に形成された絶縁膜2に下層絶縁膜3及び上層絶縁膜4を積層する積層工程（図1（a）の状態）と、上記下層絶縁膜3及び上層絶縁膜4に対する位置合わせマークMのバーニングと同時に又はその後、形成された上記上層絶縁膜4におけるパターン縁部4aよりも下層絶縁膜3の縁部3aが後退した凹部Uを形成する凹部形成工程（図1（b）の状態）とを具備する点で従来技術ととりわけ異なるものである。

【0017】以下、上記位置合わせマーク形成方法の詳細について説明する。はじめに、エッティングレートの異なる下層絶縁膜3及び上層絶縁膜4が形成される（図1（a）の状態）。より具体的には、予め基板1上にCVD法等により膜厚が約4000Å程度のSiO₂絶縁膜2が形成される。この絶縁膜2上には下層絶縁膜3としてスピンドル法及び熱処理により有機系のSOG膜が約2000Å程度の膜厚で形成される。上記有機系のSOG膜は、絶縁膜2及び上層の絶縁膜4の材料であるSiO₂よりも軟質で、SiO₂よりもエッティングレートが大きいことが知られている。さらに、この下層絶縁膜3上に上層絶縁膜4としてSiO₂膜が約4000Å程度の膜厚で形成される。

【0018】次に、上記絶縁膜2、下層絶縁膜3及び上層絶縁膜4に対して位置合わせマークMのエッティングが行われる（図1（b）の状態）。尚、上記した絶縁膜2、3、4のエッティングには、フロロカーボン系のガスが用いられる。このエッティングにより、有機系のSOG膜である下層絶縁膜3は上層絶縁膜4よりもエッティングが早く進行するため、下層絶縁膜3の縁部3aは、SiO₂膜である上層絶縁膜4のパターン縁部4aよりも約500Å後退して、上層絶縁膜4のパターン縁部4aが下層絶縁膜3に対して底状となり、位置合わせマークMに凹部Uが形成される。

【0019】以上のように形成された位置合わせマークMには、配線形成工程においてTiN等のバリアメタル層5がスパッタリング等により上記上層絶縁膜4上に形成されると共に上記凹部Uを除くマークMの内面にも形成される(図1(c)の状態)。そして、配線形成工程におけるAlリフロー等により、上記バリアメタル層5上に配線層6が形成される(図1(d)の状態)。この時、上記凹部Uには配線材料の広がりを促進するバリアメタル層5が存在しないので、配線材料の流れ込みは、上記凹部Uにおいて止まる。従って、図2に示すように位置合わせマークMのパターンを不明確にするような凹凸は形成されず、パターン縁部4aの視認性が向上する。その結果、重ね合わせ精度及び重ね合わせの測定再現性が向上する。

【0020】このように本実施の形態に係る位置合わせマーク形成方法では、パターン縁部4a下に凹部Uが形成されるため、上記凹部Uにおいて配線材料の流れ込みが止まり、視認性のよい位置合わせマークを簡便に形成することができる。

【0021】

【実施例】上記実施の形態では、下層絶縁膜3としてSiO₂膜、上層絶縁膜4としてSOG膜を用いたが、もちろん他の絶縁膜の組合せを用いてもよい。例えばウエットエッチングを用いる場合には、下層絶縁膜3及び上層絶縁膜4にTEOS(tetraethyl orthosilicate)、SiNの組合せや、TEOS、BPSG(boro-phospho silicate glass)の組合せ等を用いることが可能である。また、C1系プラズマエッチングを用いて、BPSG、TEOSの組合せ等を用いることも可能である。このような位置合わせマーク形成方法も本発明における位置合わせマーク形成方法の一例である。

【0022】また、上記実施の形態では、バリアメタル層5にTiNが用いられていたが、例えばTi、Mo等の他の高融点金属や例えばTiN/Tiのようにこれらの中間層膜を用いてもよい。さらに、配線層6の材料についてもAlに限られるものではなく、例えばAl-Siや、Al-Si-Cu合金等を用いてもよい。このような位置合わせマーク形成方法も本発明における位置合わせマーク形成方法の一例である。

【0023】また、上記実施の形態では、絶縁膜2上に下層絶縁膜3を設けたが、図3に示すように半導体基板1上に下層絶縁膜3及び上層絶縁膜4を直接形成してもよい。また、これらの上下層3、4を単層又は多層に形成された半導体層、導電層、絶縁層上に設けてもよいことはもちろんである。さらに、上記実施の形態における

下層絶縁膜3や上層絶縁膜4は単層に設けられていたが、もちろん各層自身多層のものを用いててもよい。このような位置合わせマーク形成方法も本発明における位置合わせマーク形成方法の一例である。

【0024】尚、当然ながら、上記位置合わせマークMの大きさ、形状等は上記実施の形態のものに限定されるものではない。更に、本発明は、半導体基板の表面に既に上記絶縁層や半導体層等の層部が形成されているものに対し、新たに凹部を備えた開口部を形成する場合や、既に上記層部に開口部が形成されているものに対して、新たに凹部を形成する場合を含むものである。

【0025】

【発明の効果】上記のように本発明の上記位置合わせマーク形成方法によれば、位置合わせマークのパターンに例えばAl1やAl1-Si等の配線形成時に配線材料がマーク内に流れ込もうとしても、この流れ込みがパターン縁部に形成された凹部において止められるため、従来の如くパターン縁部から開口部へ配線材料が流れ込んでパターン自体を不明確にすることなく、マークの視認性を確保して、マスク等の重ね合わせ精度を向上させることができる。

【0026】また、上記位置合わせマーク形成方法において、上記積層工程により積層される上記下層膜及び上層膜に、エッチングレートの異なる絶縁膜を用いることにより簡単に凹部が形成される。

【図面の簡単な説明】

【図1】 本発明の一実施の形態に係る位置合わせマーク形成方法の工程を説明するための図。

【図2】 上記位置合わせマーク形成方法により形成された位置合わせマークの形状を示す平面図。

【図3】 本発明の一実施例を説明するための図。

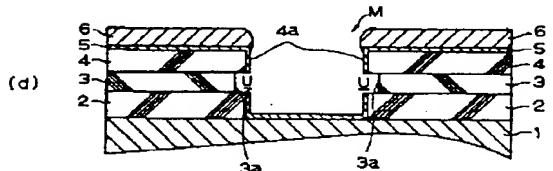
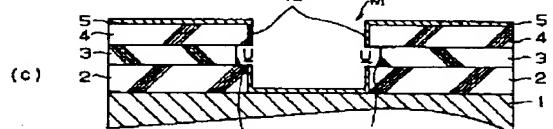
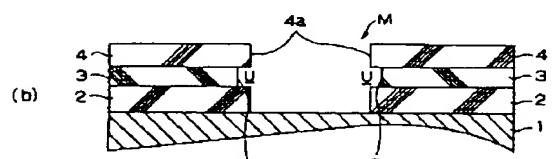
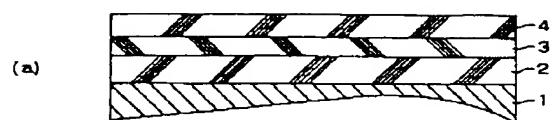
【図4】 従来の位置合わせマーク形成方法の工程を説明するための図。

【図5】 従来の位置合わせマーク形成方法により形成された位置合わせマークの形状を示す平面図。

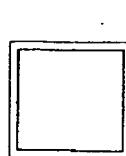
【符号の説明】

- 1…半導体基板
- 3…下層絶縁膜
- 3a…下層絶縁膜の縁部
- 4…上層絶縁膜
- 4a…上層絶縁膜のパターン縁部
- 5…バリアメタル層
- M…位置合わせマーク
- U…凹部

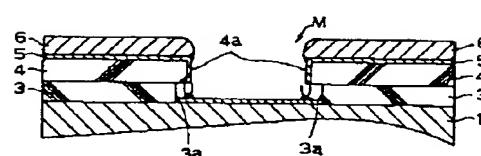
【図 1】



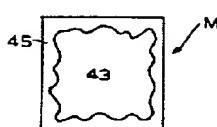
【図 2】



【図 3】



【図 5】



【図 4】

